

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-169450

(43)Date of publication of application : 25.07.1987

(51)Int.Cl.

H01L 23/28
H01L 23/48

(21)Application number : 61-010089

(71)Applicant : HITACHI LTD

(22)Date of filing : 22.01.1986

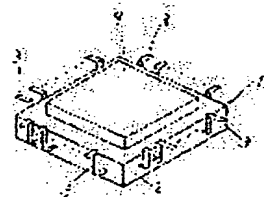
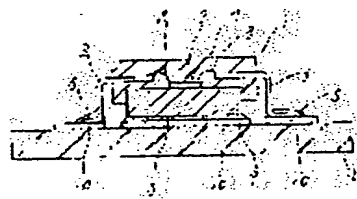
(72)Inventor : TSUYA HIDEKI
ONO TAKUO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To contrive improvement in heat dissipating efficiency while a multipin formation is being reconciled with miniaturization of the title semiconductor device by a method wherein the lead terminals of the semiconductor chip fixed to a stem are led out in the directions of four sides of a plastic package, and a part of the stem is exposed from the upper surface of the lower surface of the package.

CONSTITUTION: A semiconductor chip 7 is placed in a fixed manner on a metal stem 9 in a package 2. A number of lead terminals 3 are equally divided into four group and led out to the direction of four sides of the package 2, and the lower part of the stem 9 is exposed to the lower side of the plastic package 2. Besides, the lower exposed surface of the stem 9 is formed flat, and said exposed surface and the position of the tip of the lead terminals 3 are made almost uniform in height. The terminal leads 3 and the lower exposed surface of the stem 9 are directly soldered to the surface of the conductive lead 10 of a printed wiring substrate 4 respectively.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-169450

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)7月25日

H 01 L 23/28
23/48

B-6835-5F
7735-5F

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭61-10089

⑯ 出 願 昭61(1986)1月22日

⑰ 発 明 者 津 谷 英 喜 高崎市西横手町111番地 株式会社日立製作所高崎工場内
⑱ 発 明 者 大 野 拓 郎 高崎市西横手町111番地 株式会社日立製作所高崎工場内
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. システムに固定された半導体チップが扁平なプラスチックパッケージによって封止された多ピンの半導体装置であって、上記半導体チップに接続するリード端子が上記パッケージの四方の側面へ振り分けられて導出させられるとともに、上記システムの一部がプラスチックパッケージの下面あるいは上面に露出させられたことを特徴とする半導体装置。
2. 上記システムの一部がプラスチックパッケージの下面に露出させられるとともに、この露出面が扁平に形成され、かつこの露出面と上記リード端子の先端位置とが略等高に揃えられていることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体装置技術、さらにはプラスチックパッケージで封止された多ピン型の半導体装置に適用して有効な技術に関するもので、たとえば、表面実装型の多ピン半導体集積回路装置に適用して有効な技術に関するもので、たとえば、表面実装型の多ピン半導体集積回路装置に利用して有効な技術に関するものである。

〔従来の技術〕

一般に、半導体装置は、所定の回路機能が形成された半導体チップがパッケージに封止された状態に形成され、この状態でもってプリント配線基板などに実装される。この場合、そのパッケージのタイプとしては、プラスチックタイプ、セラミックタイプ、金属缶タイプなどがある。しかし、一般の民生用などでは、量産性に適した安価なプラスチックタイプのものが多く使用されている。このプラスチックタイプのパッケージで封止された半導体装置は、たとえば、日経マグロービル社発行「別冊 マイクロデバイス」1984年6月11日発行148～159頁(解説：プラステ

ックは小型と表面実装へ、セラミックは高速多ピンに)に記載されているように、表面実装用に作られることが最近になって多くなってきた。

一方、最近のパワー系リニアIC(半導体集積回路装置)などには、パワー素子とともに複雑かつ高度な回路機能をモノリシック化したものが現れてきた。このようなICは、従前のパワー素子に比べて、非常に多くのリード端子ピンが必要となってくる。

ここで、本発明者は、たとえば複雑かつ高度な回路機能を備えたパワー系ICを、プラスチックパッケージによって表面実装可能な形状に構成することについて検討した。以下は、公知とされた技術ではないが、本発明者によって検討された技術であり、その概要は次のとおりである。

第12図(a)(b)は本発明者によって検討された半導体装置1の構成例を示す。同図(a)は上側から見た平面状態を、(b)は(a)のB-B部分の断面状態を示す。

同図に示す半導体装置1は、複雑かつ高度な回

路機能を実現するために、その多数のリード端子3はどりしてもパッケージ2の四側方に振り分けて導出させなければならなくなる。このため、たとえば第13図に示す半導体装置1のような構造、すなわち半導体チップ7が固定されているステム9の一部をパッケージ2の側方へ露出させて放熱効果を高めるといった構造を採用することができなくなってしまい、これによって十分な放熱効果が得られなくなってしまう、という問題点を生じることが本発明者によってあきらかとされた。

本発明の目的は、表面実装に適した形状および大きさを保ちつつ、プラスチックパッケージで封止された多ピンの半導体装置の放熱効果を向上させることができるようにし、これによって、たとえば複雑かつ高度な回路機能が内蔵されたパワー系リニアICも表面実装に適した形状に形成できるようにする、という技術を提供するものである。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

路機能を備えたパワー系リニアICを表面実装用に形成したものであって、パワー素子とともに多数の回路素子が集積形成された半導体チップ1が扁平なプラスチックパッケージ2内にモールド封止されている。これとともに、そのプラスチックパッケージ2の四側方からそれぞれ多数のリード端子3が導出されている。パッケージ2の底面と各リード端子3の先端位置はほぼ同一高さ揃えられている。これにより、同図(b)に示すように、プリント配線基板4に直接面付けできるように、つまり表面実装できるようになっている。同図(b)において、5はハンダ付け部分、6は接着剤などによる接着部分をそれぞれ示す。

(発明が解決しようとする問題点)

しかしながら、上述した技術には、次のような問題点のあることが本発明者によってあきらかとされた。

すなわち、上述したような半導体装置では、表面実装の効果をあげるためのパッケージ2の小型化と、回路機能の高度化に伴う多ピン化の両方を

(問題点を解決するための手段)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、ステムに固定された半導体チップのリード端子をプラスチックパッケージの四側方に振り分けて導出させるとともに、そのステムの一部をパッケージの下面あるいは上面から部分的に露出させるようにしたものである。

(作用)

上記した手段によれば、回路機能の高度化に伴う多ピン化と表面実装に適合させるための小型化とを両立させつつ、プラスチックパッケージで封止された多ピンの半導体装置の放熱効果を向上させることができるようになる。これによって、たとえば複雑かつ高度な回路機能が内蔵されたパワー系リニアICも表面実装に適した形状に形成できるようにする、という目的が達成される。

(実施例)

以下、本発明の好適な実施例を図面に基づいて

説明する。

なお、各図中、同一符号は同一あるいは相当部分を示す。

第1図および第2図はこの発明による技術が適用された半導体装置の一実施例を示す。この場合、第1図は実装状態にある半導体装置の断面図を、第2図は非実装状態にある半導体装置の斜視図をそれぞれ示す。

同図に示す半導体装置1は多ピン型のパワー系リニアICとして構成され、その半導体チップ7は表面実装に適合させるために扁平なプラスチックパッケージ2によってモールド封止されている。

ここで、半導体チップ7は、第1図に示すように、パッケージ2内にて金属ステム7の上に載置・固定されている。このステム9に固定された半導体チップ7は、ボンディングワイヤ8によって多数のリード端子3に接続されている。この多数のリード端子3は、第2図に示すように、パッケージ2の四方の側面へ略等本数ずつ振り分けられて導出させられている。これとともに、第1図お

と配線基板4へ効率良く送ることができる。これにより、回路機能の複雑化および高度化に伴う多ピン化と表面実装に適合させるための小型化とを両立させつつ、プラスチックパッケージ2で封止された多ピンの半導体装置1の放熱効果を向上させることができるようになる。

第3図および第4図はこの発明の第2実施例を示す。第3図はその第2実施例の半導体装置1を裏返した状態を、第4図はその実装状態における断面状態をそれぞれ示す。

この第2実施例の半導体装置1では、ステム9の露出部分にネジ穴11が形成されている。このネジ穴11にボルト12をプリント配線基板4ごとに螺入させることにより、プリント配線基板4への取り付け状態を機械的に確実にすることができる。これとともに、そのネジ穴11に螺入されたボルト12が一種の放熱体としても機能することにより、放熱効果が一層向上させられるようになる。ステム9と基板4の間には、熱伝導性を高めるためのシリコングリース13を塗っておく

および第2図に示すように、上記ステム9の下側部分がプラスチックパッケージ2の下面側に露出させられている。さらに、そのステム9の下側露出面は扁平に形成され、かつこの露出面と上記リード端子3の先端位置が略等高に揃えられている。

上述した半導体装置1は、第1図に示すように、その端子リード3およびステム9の下側露出面がそれぞれプリント配線基板4の導体ランド10面に直接ハンダ付けされることにより表面実装される。5はそのハンダ付け部分を示す。この場合、ステム9の下側露出面には、あらかじめ銀ペーストなどを塗付してハンダ付けがしやすいようにしておくといふ。また、ステム9とプラスチックパッケージ2との界面から水分などが侵入しないようにするために、そのステム9のパッケージ2で覆われる部分には、あらかじめ適当なライニング処理を施しておくことが望ましい。

以上のように構成された半導体装置1では、半導体チップ7からの発熱が、プラスチックパッケージ2に遮られることなく、ステム9からプリン

とよい。

第5図および第6図はこの発明の第3実施例を示す。第5図はその第3実施例の半導体装置1を裏返した状態を、第6図はその実装状態における断面状態をそれぞれ示す。

この第3実施例の半導体装置1では、ステム9の露出部分にボルト部14が一体に突設されている。このボルト部14とナット15でプリント配線基板4を挟み込むことにより、半導体装置1をプリント配線基板4に機械的に確実に取り付けることができる。これとともに、そのボルト部14とナット15が良好な放熱体としても機能することにより、一層すぐれた放熱効果が得られるようになる。

第7図および第8図はこの発明の第4実施例を示す。第7図はその第4実施例の半導体装置1を裏返した状態を、第8図はその実装状態における断面状態をそれぞれ示す。

この第4実施例の半導体装置1では、ステム9の両端が下方へ直角に折り曲げられ、この折り曲

げ部分がプラスチックパッケージ2の下方へ突出して導出させられている。そして、その下端がプリント配線基板4の導体ランド10にハンダ付けされている。

第9図および第10図はこの発明の第5実施例を示す。第9図はその第5実施例の半導体装置1を裏返した状態を、第10図はその実装状態における断面状態をそれぞれ示す。この第5実施例の半導体装置1では、ステム9の露出部分に多数の冷却フィン部が環状に一体形成されている。この第5実施例の半導体装置1は、第10図に示すように、そのステム9の露出部分がプリント配線基板4に穿設された窓孔16内に嵌入させられた状態で実装される。

第11図はこの発明の第6実施例を示す。同図はその第6実施例の半導体装置1の実装状態における断面状態を示す。この第6実施例の半導体装置1では、ステム9がプラスチックパッケージ2の上面側に露出させられていて、この露出部分に環状の冷却フィン部が一体に形成されている。

説明したが、それに限定されるものではなく、たとえば、消費電力の大きなECL(エミッタ結合論理)が形成された高速論理半導体集積回路装置などにも適用できる。少なくとも、プラスチックパッケージタイプで多ピンかつ表面実装用に適合させるという条件のものには適用できる。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

すなわち、ステムに固定された半導体チップのリード端子をプラスチックパッケージの四側方に振り分けて導出させるとともに、そのステムの一部をパッケージの下面あるいは上面から部分的に露出させるようにしたことにより、回路機能の高度化に伴う多ピン化と表面実装に適合させるための小型化とを両立させつつ、プラスチックパッケージで封止された多ピンの半導体装置の放熱効果を向上させることができるようになる、という効果が得られる。

以上の第2～第6実施例の半導体装置1も、前述した作用効果、すなわち半導体チップ7からの発熱が、プラスチックパッケージ2に遮られることなく、ステム9からプリント配線基板4へ効率良く逃げることができ、これにより、回路機能の複雑化および高度化に伴う多ピン化と表面実装に適合させるための小型化とを両立させつつ、プラスチックパッケージ2で封止された多ピンの半導体装置1の放熱効果を向上させることができる。

以上、本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、上記ステム9を中空構造にして、その中空内部に冷却媒体液を封入することにより一種のヒートパイプを形成させるようにしてもよい。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である多ピンのパワー系リニアICに適用した場合について

4. 図面の簡単な説明

第1図はこの発明による技術が適用された半導体装置の実装状態での断面状態を示す図、

第2図は第1図に示した半導体装置を裏返して示す斜視図、

第3図はこの発明の第2実施例による半導体装置の裏側を示す斜視図、

第4図はこの発明の第2実施例による半導体装置の実装状態での断面状態を示す図、

第5図はこの発明の第3実施例による半導体装置の裏側を示す斜視図、

第6図はこの発明の第3実施例による半導体装置の実装状態での断面状態を示す図、

第7図はこの発明の第4実施例による半導体装置の裏側を示す斜視図、

第8図はこの発明の第4実施例による半導体装置の実装状態での断面状態を示す図、

第9図はこの発明の第5実施例による半導体装置の裏側を示す斜視図、

第10図はこの発明の第5実施例による半導体

装置の突装状態での断面状態を示す図、

第11図はこの発明の第6実施例による半導体装置の突装状態での断面状態を示す図、

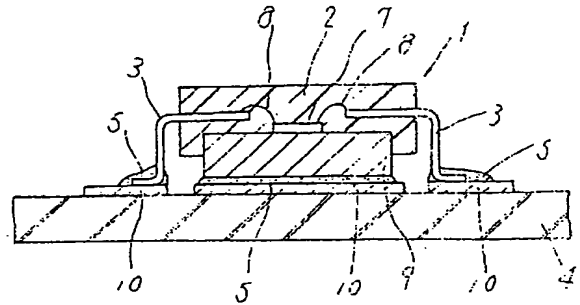
第12図(a)(b)はこの発明に先立って検討された表面突装型かつプラスチックパッケージ型で多ピン型の半導体装置の平面状態および断面状態を示す図、

第13図は従来の表面突装型パワー系リニアICの構成を示す平面図である。

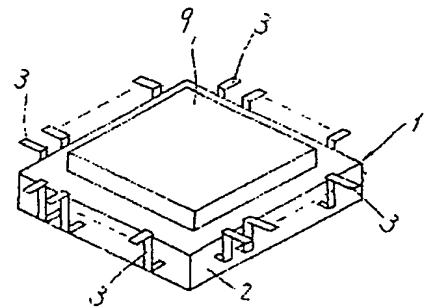
1…表面突装型で多ピンの半導体装置、2…プラスチックパッケージ、3…リード端子、4…プリント配線基板、5…ハンダ付け部分、7…半導体チップ、8…ボンディングワイヤー、9…ステム、10…プリント配線基板の導体ランド。

代理人 弁理士 小川 勝 男

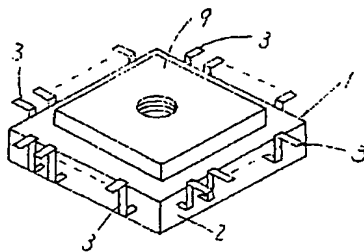
第 1 図



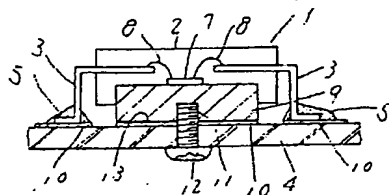
第 2 図



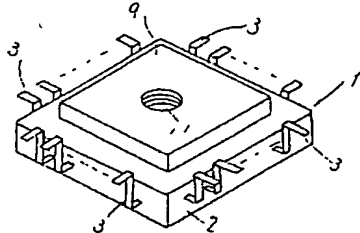
第 3 図



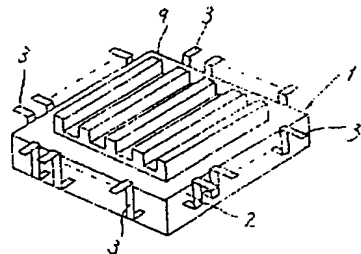
第 4 図



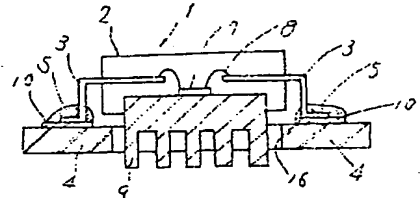
第 5 図



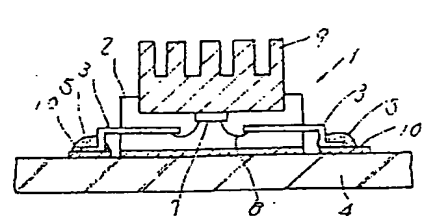
第 9 図

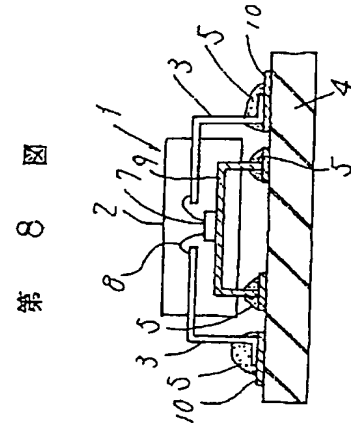
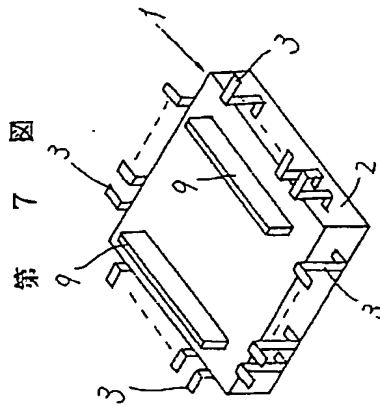
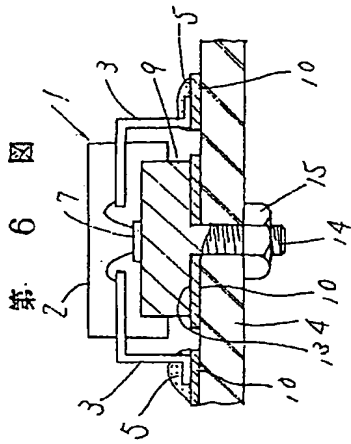


第 10 図

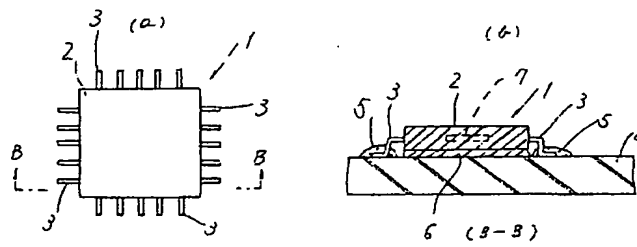


第 11 図





第 1 2 圖



第 1 3 圖

